

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

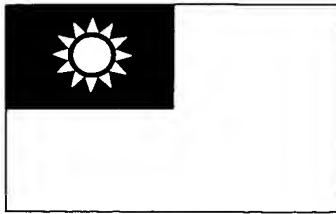
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS ✓
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 20 日
Application Date

申請案號：092101151
Application No.

申請人：瑞昱半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 13 日
Issue Date

發文字號：09220814660
Serial No.

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92101151 ※IPC分類：

※ 申請日期：92. 1. 20

壹、發明名稱

(中文) 具備低電源操作之 LVDS 驅動裝置

(英文) _____

貳、發明人(共1人)

發明人 1 (如發明人超過一人, 請填說明書發明人續頁)

姓名：(中文) 呂昭信

(英文)

住居所地址：(中文) 桃園縣大園鄉五權村大埔 13 鄰 9-21 號

(英文)

國籍：(中文) 中華民國 (英文)

參、申請人(共 1 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 瑞昱半導體股份有限公司

(英文)

住居所或營業所地址：(中文) 新竹科學園區 30077 工業東九路 2 號

(英文)

國籍：(中文) 中華民國 (英文) _____

代表人：(中文) 葉博任

(英文)

☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁) _____

肆、中文發明摘要

本發明之具備低電源操作之 LVDS 驅動裝置係由一差動訊號輸出電路、一切換器電路、一切換器控制電路及一參考電流控制電路所構成，該差動訊號輸出電路具有複數個 MOS 電晶體，以驅動 LVDS 正端訊號與 LVDS 負端訊號，該切換器電路具有複數個切換器並耦合至該複數個 MOS 電晶體之閘極，以控制該複數個 MOS 電晶體之導通或關閉，該切換器控制電路輸出一第一切換器控制訊號及一第二切換器控制訊號以控制該複數個切換器之導通或斷路，該參考電流控制電路輸出一第一控制電壓及一第二控制電壓，以經由該切換器電路而耦合至該複數個 MOS 電晶體，俾控制該複數個 MOS 電晶體導通時之電流。

伍、英文發明摘要

陸、(一)、本案指定代表圖為：第 3 圖

(二)、本代表圖之元件代表符號簡單說明：

差動訊號輸出電路 20

切換器電路 30

切換器控制電路 40

參考電流控制電路 50

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

『 無 』

捌、聲明事項

☐ 本案係符合專利法第二十二條第一項第一款但書或第二款但書規定之期間，其日期為_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 無_____

2. _____

3. _____

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. _____

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第三十六條微生物

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【一、發明所屬之技術領域】

本發明係關於LVDS驅動裝置的技術領域，尤指一種具備低電源操作之LVDS驅動裝置。

【二、先前技術】

圖1及圖2係顯示一般LVDS (Low Voltage Differential Signaling) 驅動電路之結構，包括電晶體10、11、12、13及二個電流源14、15，舉例而言，電流源14、15輸出之電流大小約為3.5mA。利用該等電晶體10、11、12、13之導通或斷路，以在接收端產生所想要之訊號。例如：當控制訊號S1為低電位、S2為高電位時，如圖1所示，電晶體11、12導通而電晶體10、13斷路，在接收端產生一由上往下之電流，經由一電阻16 (該電阻值舉例為 100Ω) 可在其上產生一電壓，其量值約為350mV。接收端之一比較器17依其反向及非反向輸入端上的電壓產生一代表"1"之邏輯位準。圖2係顯示當控制訊號S1為高電位、S2為低電位時，電晶體11、12斷路而電晶體10、13導通，在接收端產生一由下往上之電流，經由該 100Ω 之電阻16可在其上產生一約為350mV之電壓，接收端之該比較器17依其反向

及非反向輸入端上的電壓產生一代表"0"之邏輯位準。

在習知LVDS驅動電路結構中，必須滿足 $VDD > \Delta V_{14} + \Delta V_{15} + I_{ref}R_L + \Delta V_{s1} + \Delta V_{s2}$ ，即 I_4 及 I_5 會限制VDD的最小值，故電壓源VDD不能太小。由於使用二個電流源14、15，此在積體電路整合時，因欲使該二個電流源14、15具有相同之電流不僅需增加其他控制電路，同時也很難讓該二個電流源14、15具有相同之電流值，非但增加成本也增加積體電路整合之困難度，進而影響該等積體電路之良率，因此，習知LVDS驅動電路結構設計仍有諸多缺失而有予以改進之必要。

【三、發明內容】

本發明之主要目的係在提供一種具備低電源操作之LVDS驅動裝置，俾避免習知技術使用二個電流源而佔較大之積體電路面積的缺點。

為達成前述之目的，所提出之具備低電源操作之LVDS驅動裝置包括：一差動訊號輸出電路，具有複數個MOS電晶體，以驅動LVDS正端訊號與LVDS負端訊號；一切換器電路，具有複數個切換器並耦合至該複數個MOS電晶體之閘極，以控制該複數個MOS電晶體之導通或關閉；一切換器控制電路，其輸出一第一切換器控制訊號及一第二切換器控制訊號以控制該複數個切換器之導通

或斷路；以及一參考電流控制電路，其輸出一第一控制電壓及一第二控制電壓，以經由該切換器電路而耦合至該複數個MOS電晶體，俾控制該複數個MOS電晶體導通時之電流。

由於本發明設計新穎，能提供產業上利用，且確有增進功效，故依法申請發明專利。

【四、實施方式】

為使貴審查委員能進一步瞭解本發明之結構、特徵及其目的，茲附以較佳具體實施例之詳細說明如后：

圖3顯示本發明之具備低電源操作之LVDS驅動裝置之一較佳實施例，其主要包括一差動訊號輸出電路20、一切換器電路30、一切換器控制電路40及一參考電流控制電路50，該差動訊號輸出電路20具有複數個MOS電晶體，用以驅動LVDS正端訊號與LVDS負端訊號，該切換器電路30具有複數個切換器並耦合至該複數個MOS電晶體之閘極，以控制該複數個MOS電晶體之導通或關閉，該切換器控制電路40輸出一第一切換器控制訊號S1及一第二切換器控制訊號S2以控制該複數個切換器之導通或斷路，該參考電流控制電路50分別輸出一第一控制電壓V1及一第二控制電壓V2，經由該切換器電路30而耦合至該複數個MOS

電晶體，俾控制該複數個MOS電晶體導通時之電流。

圖4係該差動訊號輸出電路20及切換器電路30之一詳細電路圖，該差動訊號輸出電路20係由第一電晶體21、第二電晶體22、第三電晶體23及第四電晶體24所組成，其中，第一電晶體21及第三電晶體23為PMOS電晶體，第二電晶體22及第四電晶體24為NMOS電晶體，第一電晶體21之源極連接至一高電位，其汲極連接至LVDS負端及第二電晶體22之汲極，第二電晶體22之源極連接至一低電位，第三電晶體23之源極連接至一高電位，其汲極連接至LVDS正端及第四電晶體24之汲極，第四電晶體24之汲極連接至一低電位。

該切換器控制電路40所輸出第一切換器控制訊號S1與第二切換器控制訊號S2互為反相，以控制該切換器電路30之複數個切換器的導通或斷路，該切換器電路30包括一第一至第八切換器31、32、33、34、35、36、37、38。藉由控制該些切換器之導通及斷路，來控制第一電晶體21、第二電晶體22、第三電晶體23及第四電晶體24之導通與斷路。而該第一控制電壓V1及該第二控制電壓V2，則控制第一電晶體21、第二電晶體22、第三電晶體23及第四電晶體24之導通電流。

在本實施例中，第一至第八切換器31、32、33、34、35、36、37、38皆由MOS電晶體來實現，

但本發明並不以此為限。其中，該第一切換器 31 具有一第一端 311 耦合至該第一控制電壓 V1、一第二端 312 連接至該第一電晶體 21 之閘極、一控制端 313 連至第二切換器控制訊號 S2，該第二切換器 32 有一第一端 321 連接至一高電位、一第二端 322 連接至該第一電晶體 21 之閘極、一控制端 323 連至第一切換器控制訊號 S1。

該第三切換器 33 具有一第一端 331 耦合至該第二控制電壓 V2、一第二端 332 連接至該第二電晶體 22 之閘極、一控制端 333 連至第一切換器控制訊號 S1，該第四切換器 34 具有一第一端 341 連接至一低電位、一第二端 342 連接至該第二電晶體 22 之閘極、一控制端 343 連至第二切換器控制訊號 S2。

該第五切換器 35 具有一第一端 351 耦合至該第一控制電壓 V1、一第二端 352 連接至該第三電晶體 23 之閘極、一控制端 353 連至第一切換器控制訊號 S1，該第六切換器 36 具有一第一端 361 連接至一高電位、一第二端 362 連接至該第三電晶體 23 之閘極、一控制端 363 連至第二切換器控制訊號 S2。

該第七切換器 37 具有一第一端 371 耦合至該第二控制電壓 V2、一第二端 372 連接至該第四電晶體 24 之閘極、一控制端 373 連至第二切換器控制訊號 S2，該第八切換器具有一第一端 381 連接

至一低電位、一第二端382連接至該第四電晶體24之閘極、一控制端383連至第一切換器控制訊號S1。

當第一切換器控制訊號S1為高電位且第二切換器控制訊號S2為低電位時，如圖5所顯示，必須滿足 $V_{DD} > I_{ref}R_L + \Delta V_{23} + \Delta V_{22}$ 。該第一切換器31、第四切換器34、第六切換器36及第七切換器37為斷路狀態，該第二切換器32、第三切換器33、第五切換器35及第八切換器38為短路狀態，該第一電晶體21及第四電晶體24為關閉狀態，該第二電晶體22及第三電晶體23為導通狀態，在接收端產生一由上往下之電流，經由一量值為 100Ω 之電阻16，可在其上產生一量值約為350mV之電壓，接收端之一比較器17依其反向及非反向輸入端上的電壓產生一代表”1”之邏輯位準。

當第一切換器控制訊號S1為低電位且第二切換器控制訊號S2為高電位時，如圖6所顯示，必須滿足 $V_{DD} > I_{ref}R_L + \Delta V_{21} + \Delta V_{24}$ 。該第一切換器、第四切換器、第六切換器及第七切換器為短路狀態，該第二切換器、第三切換器、第五切換器及第八切換器為斷路狀態，該第一電晶體及第四電晶體為導通狀態，該第二電晶體及第三電晶體為關閉狀態，在接收端產生一由下往上之電流，經由該 100Ω 之電阻16可在其上產生一約為350mV之電壓，接收端之該比較器17依其反向及

非反向輸入端上的電壓產生一代表”0”之邏輯位準。需注意的是，在本發明所提出之LVDS驅動電路中，施加於差動訊號輸出電路20之電壓源VDD之最小值的限制條件（ $VDD > I_{ref}R_L + \Delta V_{21} + \Delta V_{24}$ ，如圖5所示，或 $VDD > I_{ref}R_L + \Delta V_{23} + \Delta V_{23}$ ，如圖6所示）會小於習知之LVDS驅動電路中，VDD的最小值的限制條件（ $VDD > \Delta V_{14} + \Delta V_{15} + I_{ref}R_L + \Delta V_{s1} + \Delta V_{s2}$ ，如圖1及圖2所示）。亦即，本發明所提出之LVDS驅動電路可大幅地降低電壓源VDD之量值，且不影響電路的操作特性及功效。

該參考電流控制電路50係提供第一控制電壓V1及第二控制電壓V2，以控制當該第一電晶體、第四電晶體或該第二電晶體、第三電晶體為導通狀態時其上之電流，圖7為該參考電流控制電路50之一實施例，其由一運算放大器51、一電流源52、一第一電阻53、一第二電阻54、一第五電晶體55、一第六電晶體56及一第七電晶體57所組成，其中，第六電晶體56及第七電晶體57為PMOS電晶體，因第六及第七電晶體56、57之製程係相同，所以第六及第七電晶體56、57之 $\mu_n C_{ox}$ 亦相同，故只要調整第六電晶體56通道寬度 W_6 及長度 L_6 比以及第七電晶體57通道寬度 W_7 及長度 L_7 比以及第一電晶體21通道寬度 W_1 及長度 L_1 比為1：n：m（ $\frac{W_6}{L_6} : \frac{W_7}{L_7} : \frac{W_1}{L_1} = 1:n:m$ ）時，流經該第五電晶體55及第

六電晶體56之電流即可控制為 I_{ref}/n ，故以第一控制電壓V1或第二控制電壓V2施加於該第一電晶體、第四電晶體或該第二電晶體、第三電晶體時，其上之導通電流即為 $I_{ref} \times m/n$ ，其中Vcm提供一共模電壓(common-mode voltage)。其中參考電流控制電路50所輸出之第一控制電壓V1及第二控制電壓V2的量值係預先設定，用以使該第一電晶體、第四電晶體或該第二電晶體、第三電晶體工作於三極體區。當電晶體工作於三極體區時，電晶體電流的大小係由輸入閘極的電壓大小所決定。由此可知，本發明可藉由控制參考電流控制電路50所輸出之第一控制電壓V1及第二控制電壓V2的量值，來控制該第一電晶體、第四電晶體或該第二電晶體、第三電晶體導通時之電流大小。與習知之LVDS驅動電路相比，可降低電路製程的難度及成本，進而增加電路製程之良率，並達到相同的功效。

綜上所陳，本發明無論就目的、手段及功效，在在均顯示其迥異於習知技術之特徵，實為一極具實用價值之發明，懇請貴審查委員明察，早日賜准專利，俾嘉惠社會，實感德便。惟應注意的是，上述諸多實施例僅係為了便於說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【五、圖式簡單說明】

圖 1 係習知 LVDS 驅動電路中在接收端產生一代表” 1”邏輯位準時之示意圖。

圖 2 係習知 LVDS 驅動電路中在接收端產生一代表” 0”邏輯位準時之示意圖。

圖 3 係本發明之具備低電源操作之 LVDS 驅動裝置之一實施例的方塊圖。

圖 4 係本發明之 LVDS 驅動裝置之一實施例的電路圖。

圖 5 係本發明在接收端產生一代表” 1”邏輯位準時之示意圖。

圖 6 係本發明在接收端產生一代表” 0”邏輯位準時之示意圖。

圖 7 係本發明之參考電流控制電路一實施例的電路圖。

【圖號說明】

電晶體	10、11、 12、13	電流源	14、15
電阻	16	比較器	17
差動訊號輸出電路	20	切換器電路	30
切換器控制電路	40	參考電流控制電路	50
第一電晶體	21	第二電晶體	22
第三電晶體	23	第四電晶體	24
第一至第八切換器		31、32、33、34、35、 36、37、38	

運算放大器	51	電流源	52
第一電組	53	第二電阻	54
第五電晶體	55	第六電晶體	56
第七電晶體	57		

拾、申請專利範圍

1. 一種具備低電源操作之LVDS驅動裝置，
主要包括：

一切換器控制電路，用以輸出一控制訊號；

一參考電流控制電路，用以輸出一控制電壓；

一差動訊號輸出電路，與一第一電壓源耦接，用以輸出一LVDS正端訊號與一LVDS負端訊號；以及

一切換器電路，分別與該切換器控制電路、該參考電流控制電路與該差動訊號輸出電路耦接，用以控制該差動訊號輸出電路之操作；

其中，該控制電壓係用來控制該LVDS正端訊號與該LVDS負端訊號之量值，該控制訊號係用來控制該LVDS正端訊號與該LVDS負端訊號之方向。

2. 如申請專利範圍第1項所述之LVDS驅動裝置，其中，差動訊號輸出電路係包括一第一電晶體、一第二電晶體、一第三電晶體及一第四電晶體，該第一電晶體係與該第二電晶體耦接，用以輸出該LVDS負端訊號，且該第三電晶體係與該第四電晶體耦接，用以輸出該LVDS正端訊號。

3. 如申請專利範圍第2項所述之LVDS驅動裝置，其中，該第一電晶體及該第三電晶體為

PMOS電晶體，且該第二電晶體及第四電晶體為NMOS電晶體。

4. 如申請專利範圍第3項所述之LVDS驅動裝置，其中，該第一電晶體及該第三電晶體之源極係分別與該第一電壓源耦接，該第一電晶體之汲極係與該第二電晶體之源極耦接，該第三電晶體之汲極係與該第四電晶體之源極耦接，該第二電晶體之汲極與該第四電晶體之汲極係分別與一低電位耦接。

5. 如申請專利範圍第3項所述之LVDS驅動裝置，其中，該控制電壓包括一第一控制電壓及一第二控制電壓。

6. 如申請專利範圍第5項所述之LVDS驅動裝置，其中，該切換器電路包括：

一第一切換器，分別與該參考電流控制電路及該第一電晶體耦接，用以控制該第一控制電壓之傳送；

一第五切換器，分別與該參考電流控制電路及該第三電晶體耦接，用以控制該第一控制電壓之傳送；

一第三切換器，分別與該參考電流控制電路及該第二電晶體耦接，用以控制該第二控制電壓之傳送；

一 第七切換器，分別與該參考電流控制電路及該第四電晶體耦接，用以控制該第二控制電壓之傳送；

一 第二切換器，分別與一第二電壓源及該第一切換器耦接；

一 第六切換器，分別與該第二電壓源及該第五切換器耦接；

一 第四切換器，分別與一第二低電位及該第三切換器耦接；以及

一 第八切換器，分別與該第二低電位及該第七切換器耦接。

7. 如申請專利範圍第6項所述之LVDS驅動裝置，其中，該控制訊號更包括一第一控制訊號與一第二控制訊號。

8. 如申請專利範圍第7項所述之LVDS驅動裝置，其中，該第一控制訊號與該第二控制訊號互為反相。9. 如申請專利範圍第8項所述之LVDS驅動裝置，其中，該第一控制訊號係用以控制該第二切換器、該第三切換器、該第五切換器及該第八切換器，且該第二控制訊號係用以控制該第一切換器、該第四切換器、該第六切換器及該第七切換器。

10. 如申請專利範圍第9項所述之LVDS驅動裝置，其中，當該第一控制訊號為高電位，且該第二控制訊號為低電位時，該第一切換器、該第

四切換器、該第六切換器及該第七切換器係為短路，且該第二切換器、該第三切換器、該第五切換器及該第八切換器係為斷路。

11. 如申請專利範圍第10項所述之LVDS驅動裝置，其中，該第一電晶體及第四電晶體為關閉狀態，該第二電晶體及第三電晶體為導通狀態。

12. 如申請專利範圍第11項所述之LVDS驅動裝置，其中，該第一電壓控制訊號係輸入該第三電晶體之閘極，且該第二電壓控制訊號係輸入該第二電晶體之閘極。

13. 如申請專利範圍第12項所述之LVDS驅動裝置，其中，該第三電晶體及該第二電晶體係工作於三極體區。

14. 如申請專利範圍第9項所述之LVDS驅動裝置，其中，當該第一控制訊號為低電位，且該第二控制訊號為高電位時，該第一切換器、該第四切換器、該第六切換器及該第七切換器係為斷路，且該第二切換器、該第三切換器、該第五切換器及該第八切換器係為短路。

15. 如申請專利範圍第14項所述之LVDS驅動裝置，其中，該第一電晶體及第四電晶體為導通狀態，該第二電晶體及第三電晶體為斷路狀態。

16. 如申請專利範圍第15項所述之LVDS驅動裝置，其中，該第一電壓控制訊號係輸入該第一電晶體之閘極，且該第二電壓控制訊號係輸入該第四電晶體之閘極。

17. 如申請專利範圍第16項所述之LVDS驅動裝置，其中，該第一電晶體及該第四電晶體係工作於三極體區。

18. 一種具備低電源操作之LVDS驅動裝置，主要包括：

一參考電流控制電路，用以輸出一控制電壓；

一差動訊號輸出電路，與一第一電壓源耦接，輸出一LVDS正端訊號與一LVDS負端訊號；以及

一切換器電路，耦接於該參考電流控制電路及該差動訊號輸出電路之間，並根據一控制訊號控制該控制電壓輸入至該差動訊號輸出電路；

其中，該控制電壓用來控制該LVDS正端訊號與該LVDS負端訊號之量值。

19. 如申請專利範圍第18項所述之LVDS驅動裝置，其中，差動訊號輸出電路係包括一第一電晶體、一第二電晶體、一第三電晶體及一第四電晶體，該第一電晶體係與該第二電晶體耦接，用以輸出該LVDS負端訊號，且該第三電晶體係與該第四電晶體耦接，用以輸出該LVDS正端訊號。

20. 如申請專利範圍第19項所述之LVDS驅動裝置，其中，該第一電晶體及該第三電晶體為PMOS電晶體，且該第二電晶體及第四電晶體為NMOS電晶體。

21. 如申請專利範圍第20項所述之LVDS驅動裝置，其中，該第一電晶體及該第三電晶體之源極係分別與該第一電壓源耦接，該第一電晶體之汲極係與該第二電晶體之源極耦接，該第三電晶體之汲極係與該第四電晶體之源極耦接，該第二電晶體之汲極與該第四電晶體之汲極係分別與一低電位耦接。

22. 如申請專利範圍第20項所述之LVDS驅動裝置，其中，該控制電壓包括一第一控制電壓及一第二控制電壓。

23. 如申請專利範圍第22項所述之LVDS驅動裝置，其中，該切換器電路包括：

一第一切換器，分別與該參考電流控制電路及該第一電晶體耦接，用以控制該第一控制電壓之傳送；

一第五切換器，分別與該參考電流控制電路及該第三電晶體耦接，用以控制該第一控制電壓之傳送；

一第三切換器，分別與該參考電流控制電路及該第二電晶體耦接，用以控制該第二控制電壓之傳送；

一 第七切換器，分別與該參考電流控制電路及該第四電晶體耦接，用以控制該第二控制電壓之傳送；

一 第二切換器，分別與一第二電壓源及該第一切換器耦接；

一 第六切換器，分別與該第二電壓源及該第五切換器耦接；

一 第四切換器，分別與一第二低電位及該第三切換器耦接；以及

一 第八切換器，分別與該第二低電位及該第七切換器耦接。

24. 如申請專利範圍第23項所述之LVDS驅動裝置，其中，該控制訊號更包括一第一控制訊號與一第二控制訊號。

25. 如申請專利範圍第24項所述之LVDS驅動裝置，其中，該第一控制訊號與該第二控制訊號互為反相。

26. 如申請專利範圍第25項所述之LVDS驅動裝置，其中，該第一控制訊號係用以控制該第二切換器、該第三切換器、該第五切換器及該第八切換器，且該第二控制訊號係用以控制該第一切換器、該第四切換器、該第六切換器及該第七切換器。

27. 如申請專利範圍第26項所述之LVDS驅動裝置，其中，當該第一控制訊號為高電位，且

該第二控制訊號為低電位時，該第一切換器、該第四切換器、該第六切換器及該第七切換器係為短路，且該第二切換器、該第三切換器、該第五切換器及該第八切換器係為斷路。

28. 如申請專利範圍第27項所述之LVDS驅動裝置，其中，該第一電晶體及第四電晶體為關閉狀態，該第二電晶體及第三電晶體為導通狀態。

29. 如申請專利範圍第28項所述之LVDS驅動裝置，其中，該第一電壓控制訊號係輸入該第三電晶體之閘極，且該第二電壓控制訊號係輸入該第二電晶體之閘極。

30. 如申請專利範圍第29項所述之LVDS驅動裝置，其中，該第三電晶體及該第二電晶體係工作於三極體區。

31. 如申請專利範圍第26項所述之LVDS驅動裝置，其中，當該第一控制訊號為低電位，且該第二控制訊號為高電位時，該第一切換器、該第四切換器、該第六切換器及該第七切換器係為斷路，且該第二切換器、該第三切換器、該第五切換器及該第八切換器係為短路。

32. 如申請專利範圍第31項所述之LVDS驅動裝置，其中，該第一電晶體及第四電晶體為導通狀態，該第二電晶體及第三電晶體為斷路狀態。

33. 如申請專利範圍第32項所述之LVDS驅動裝置，其中，該第一電壓控制訊號係輸入該第一電晶體之閘極，且該第二電壓控制訊號係輸入該第四電晶體之閘極。

34. 如申請專利範圍第33項所述之LVDS驅動裝置，其中，該第一電晶體及該第四電晶體係工作於三極體區。

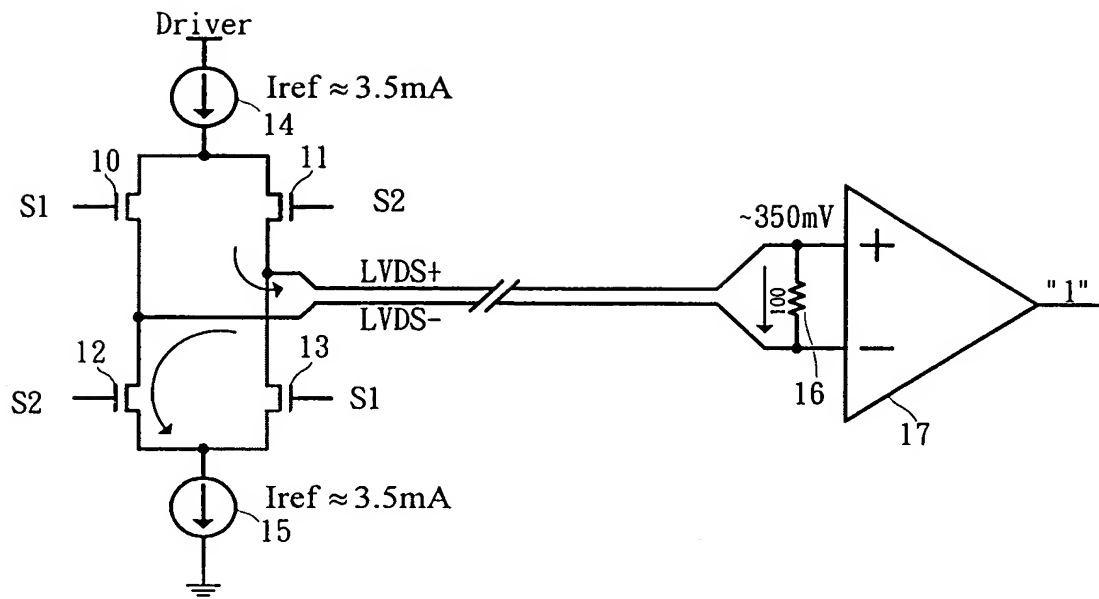


圖 1

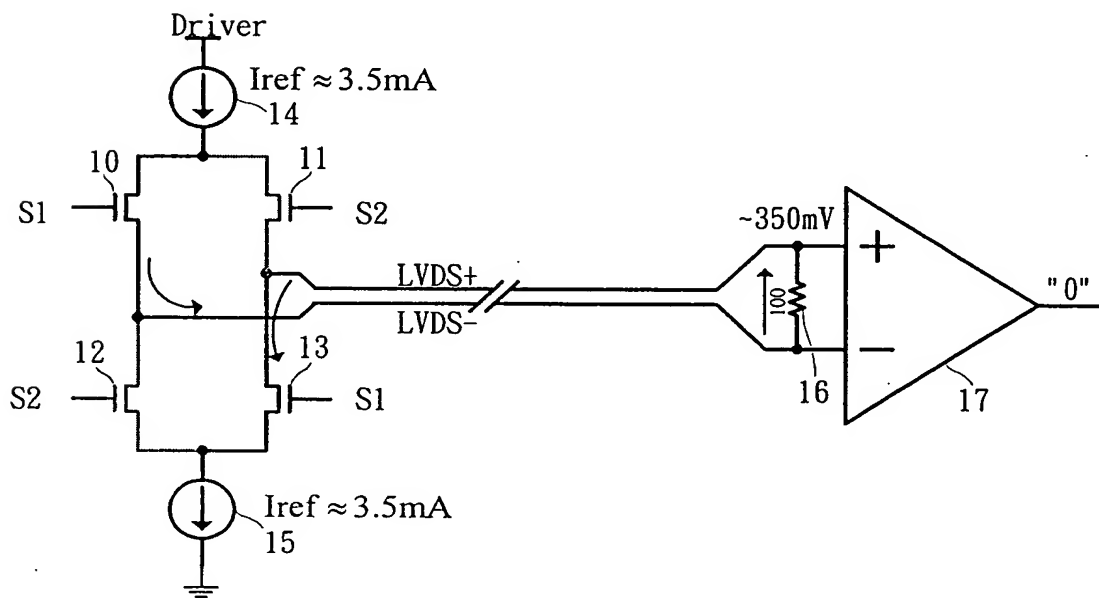


圖 2

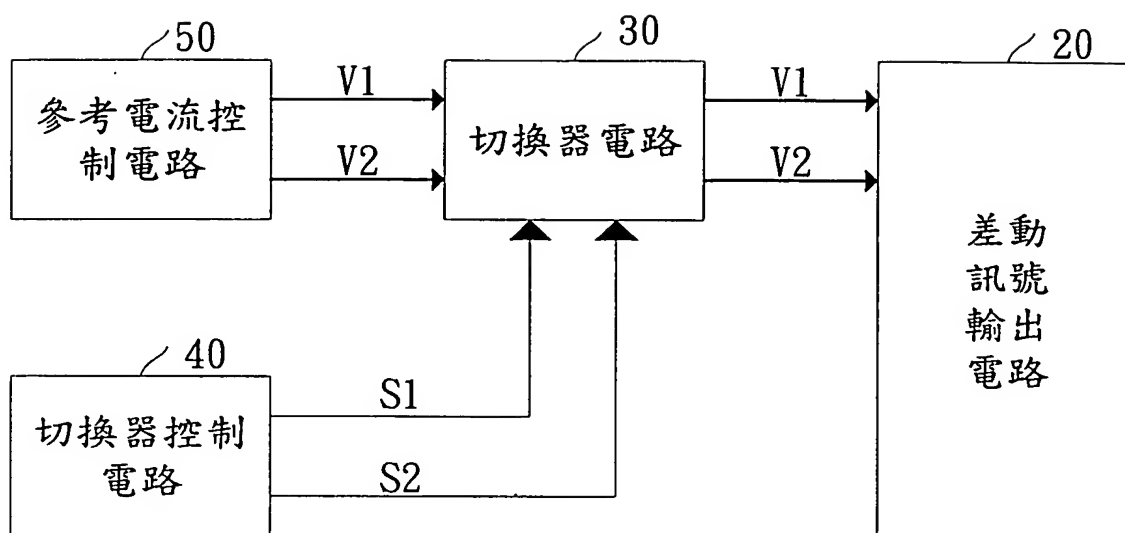


圖 3

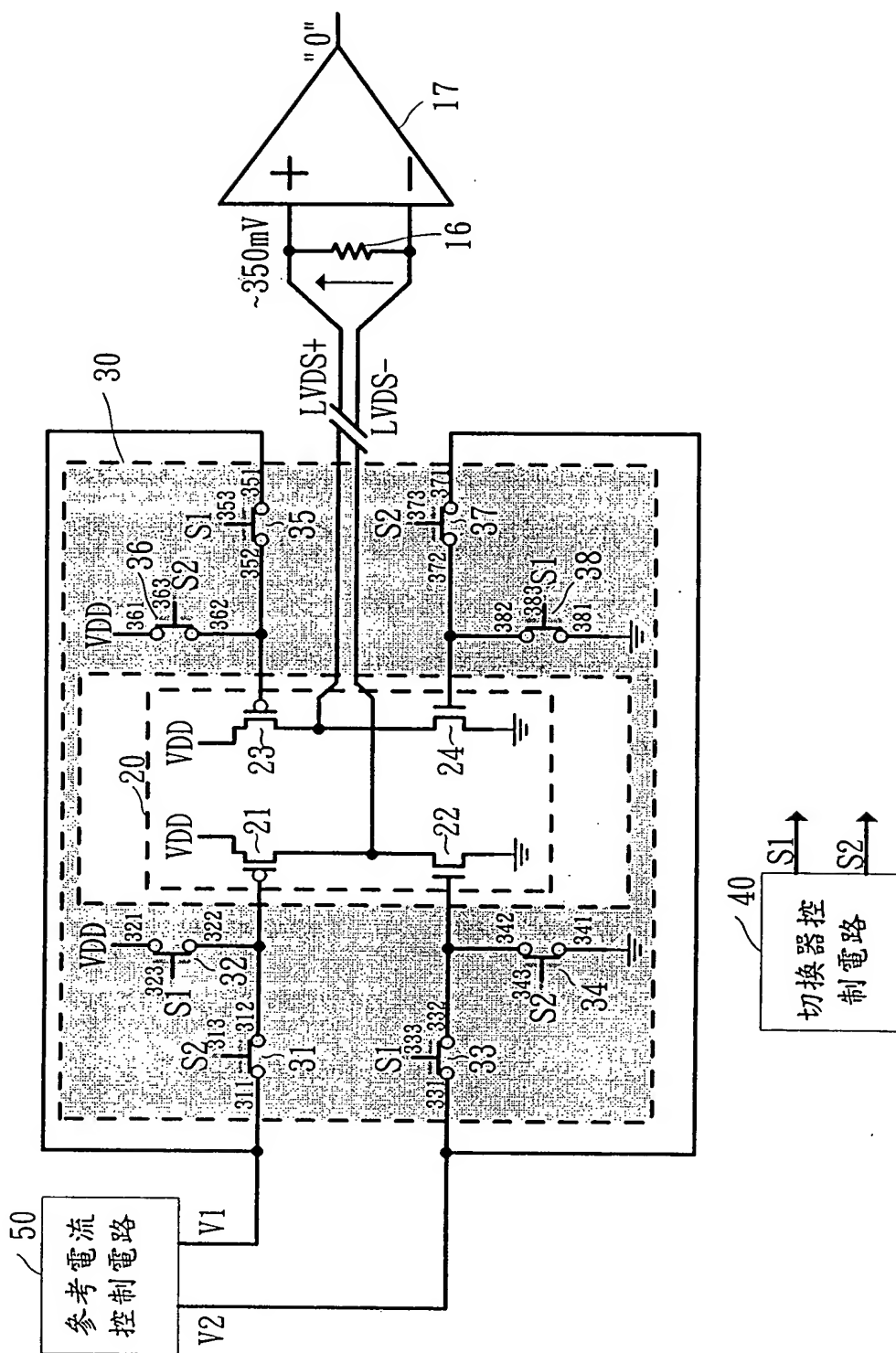


圖 4

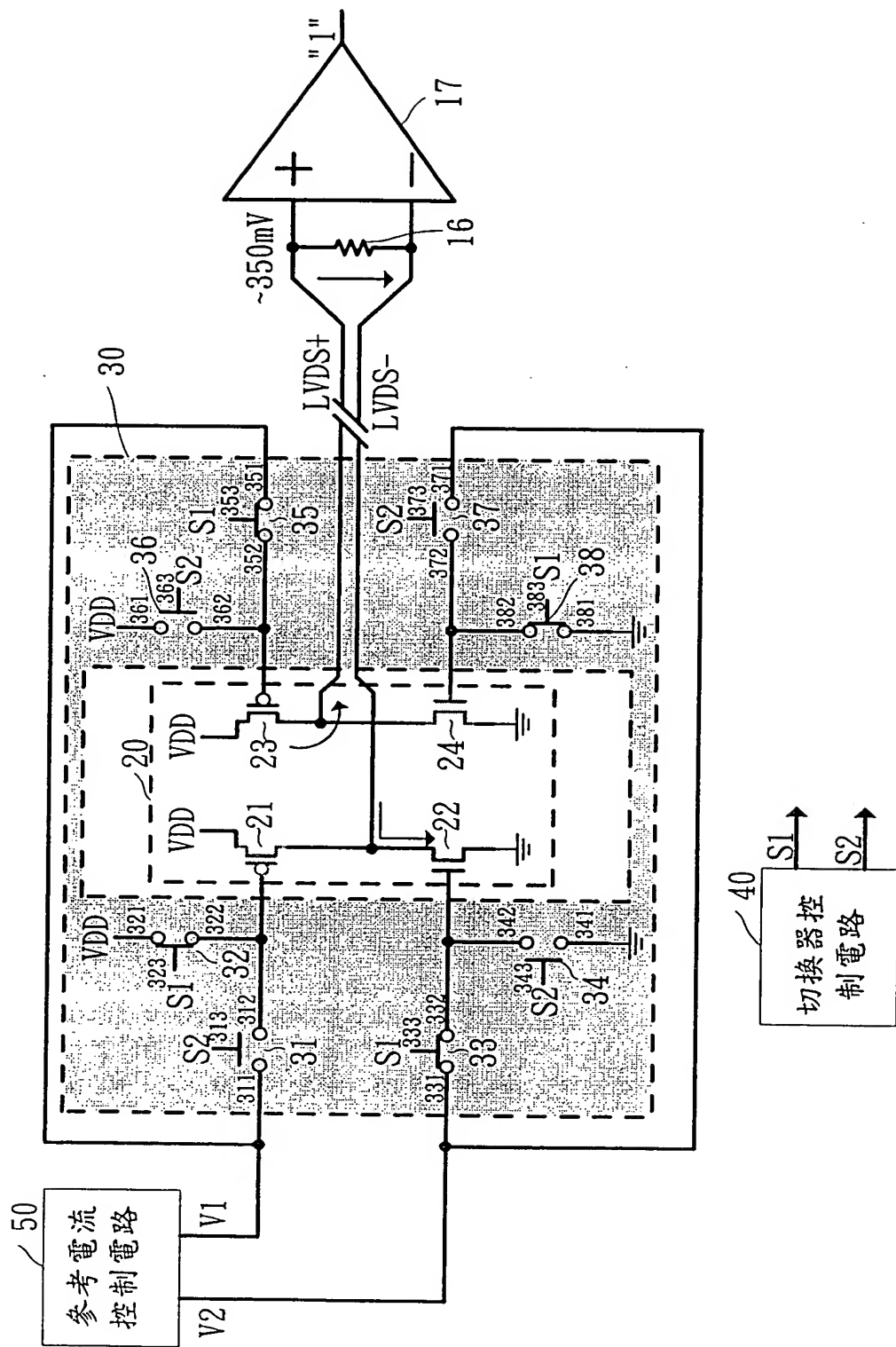


圖 5

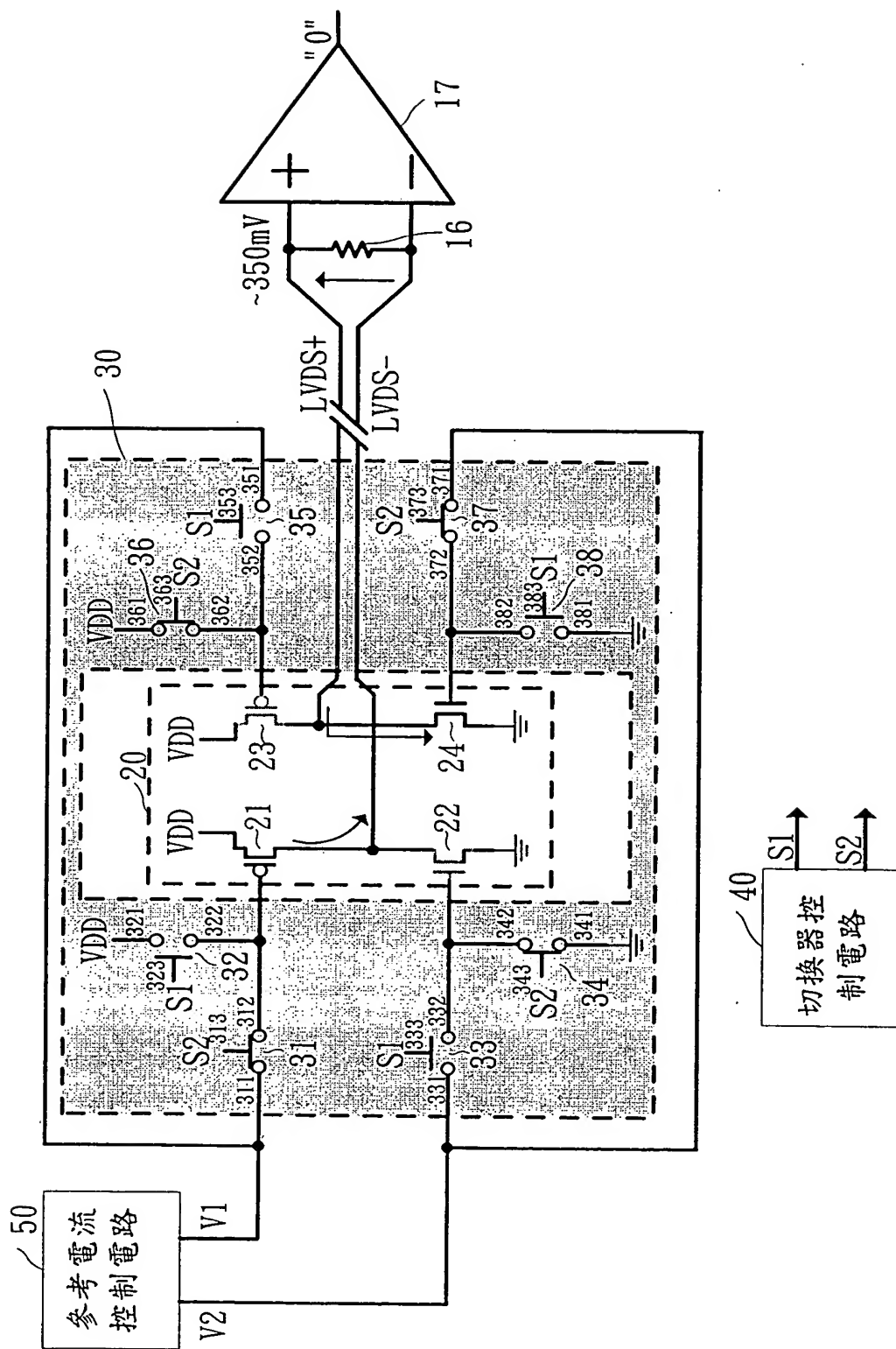


圖 6

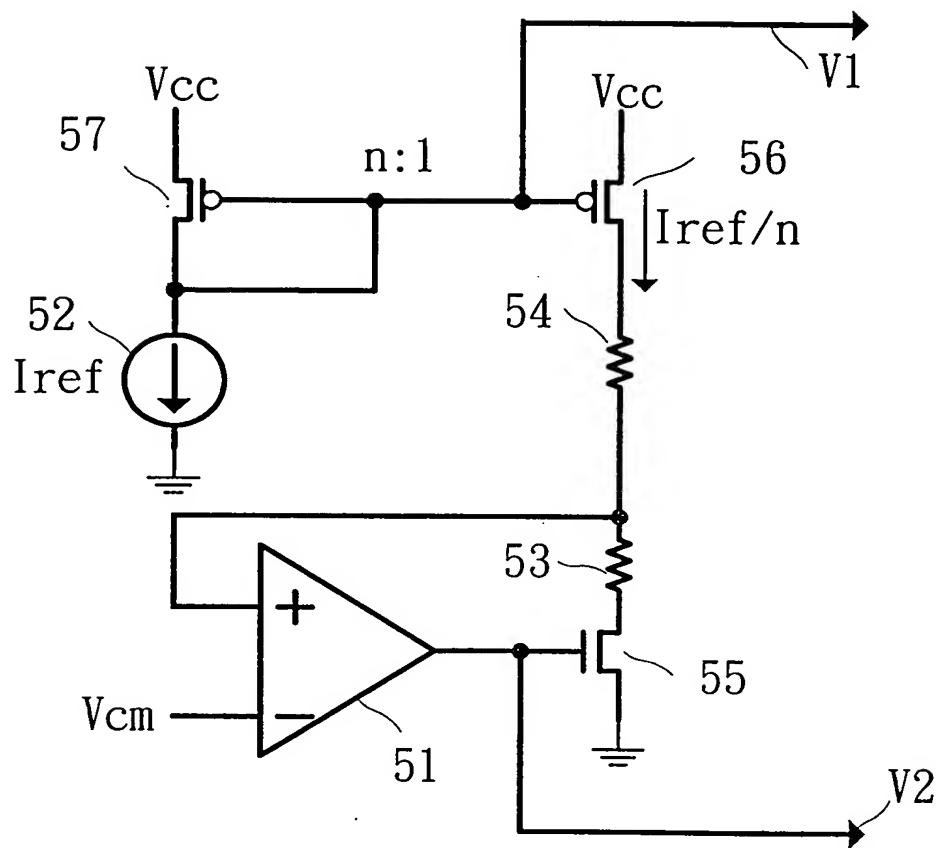


圖 7